

Crystal oscillator design guide for STM8 and STM32 microcontrollers.

INTRODUCTION

이 문서는 STM8, STM32 시리즈를 적용한 Hardware 설계시 외부 clock 소스로 crystal 을 사용할 경우 고려해야할 내용에 대해 소개하기위해 작성되었습니다. 이 문서는 ST 에서 제공하는 [AN2867](#) “Oscillator design guide for STM8S, STM8A and STM32 microcontrollers”문서를 기반으로 하였으며, 그중 중요한 내용을 간추려 기술하였습니다. MCU 에서 clock 이란 심장과도 같은 역할을 하는 중요한 part 입니다. 잘못된 crystal 발진회로 설계로 인한 불량율을 줄이기위해 기존의 경험에 의한 회로설계에서 벗어나, 본 문서에 기술된 내용을 회로설계시 검토하시기 바랍니다.

그리고, “Crystal oscillator design guide for STM8 and STM32 microcontrollers.xlsx” 파일을 이용하여 복잡한 계산에 소요되는 시간을 줄일 수 있습니다.

Contents

1	수정진동자 모델.....	3
1.1	수정진동자의 SPEC.....	3
2	Pierce oscillator design	5
2.1	Gain margin	6
2.2	Load capacitor CL.....	7
2.3	Calculating Drive Level (DL)	8
2.3.1	DL 계산법 1	8
2.3.2	DL 계산법 2	9
2.4	Calculating external resistor R_{Ext}	10

Figures

Figure 1.	수정진동자 모델링	3
Figure 2	Pierce-oscillator circuitry	5
Figure 3.	전류 probe 를 이용한 전류측정.....	8

Tables

Table 1.	Example specification of crystal	3
----------	--	---

1 수정진동자 모델

수정 진동자는 기계 에너지를 전기 에너지로 변환하는 압전 소자이며 그 반대의 경우도 마찬가지입니다. 그리고 그 변환은 수정진동자의 공진 주파수에서만 발생합니다. 수정진동자는 아래 Figure1 같이 모델링 될수 있습니다.

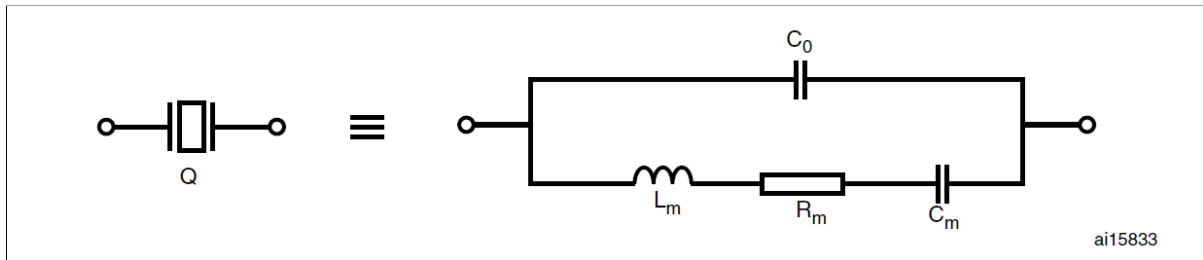


Figure 1. 수정진동자 모델링

1.1 수정진동자의 SPEC

대부분의 Crystal 제조사들은 모두 공통적으로 아래의 값들을 Data sheet 에 표시합니다.

아래 값들은 external capacitance CL1, CL2 를 계산하거나, crystal 의 발진여유도를 계산할 때 사용됩니다.

Table 1. Example specification of crystal

Item	Symbol	Spec	Remarks
Nominal Frequency	f_0	8 MHz	at 25 °C
Drive Level	DL	100 uW	Max
Frequency tolerance		±30 ppm	
Load capacitance	C_L	18 pF	
Motional resistance (ESR)	R_1	100 Ω Max	at 25 °C
Shunt capacitance	C_0	7 pF Max	

✓ f_0 : 정상발진 주파수

✓ DL : crystal 내에서 소비되는 전력이다.

Crystal Datasheet 는 crystal 이 지탱할수 있는 최대 구동 레벨을 기재한다.

✓ C_L : C_L 은 crystal 이 회로에서 갖게되어 원하는 주파수에서 동작하게할 capacitance 값이다.

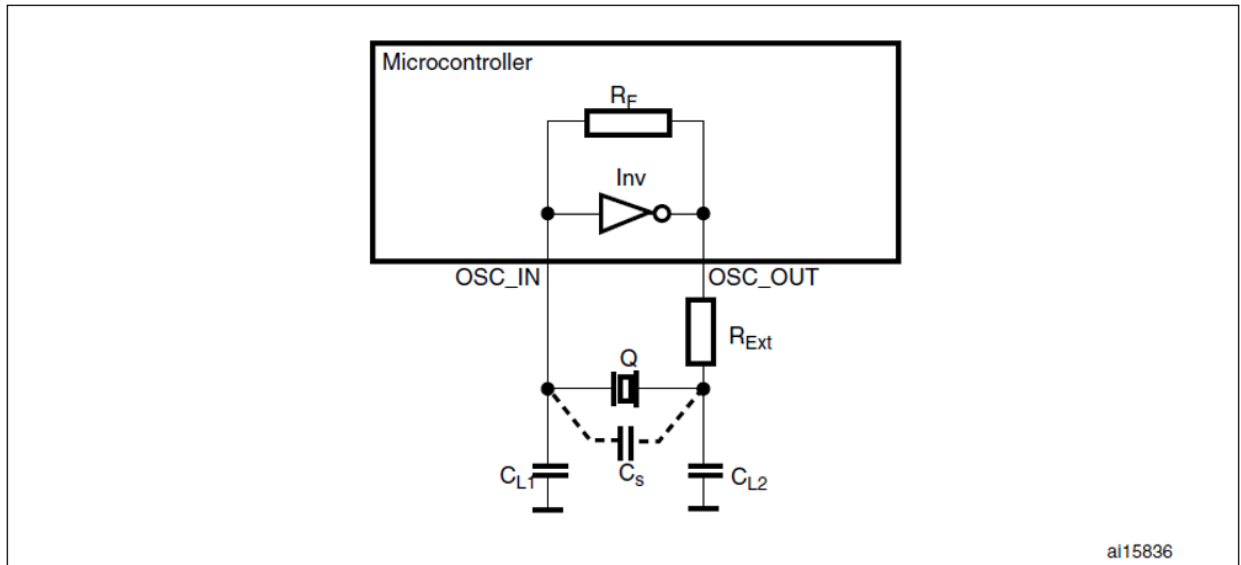
✓ R_1 : 등가 직렬 저항 (ESR)은 크리스탈이 직렬 공진 주파수 (f_s) 에서 갖는 저항이다.

✓ C_0 : 병렬 캐패시탄스

- ✓ **Frequency tolerance (ppm)** : 정해진 크리스탈 주파수에서 +/-의 허용 주파수 편차이다.
특정 온도, 통상 +25 degrees C 에서 PPM (parts per million)으로 표시된다.

2 Pierce oscillator design

아래 Figure1 의 Pierce oscillator 는 저전력, 저비용 그리고 안정성을 모두 갖추고 있어 가장 흔히 사용되는 병렬발진회로입니다. STM8, STM32 모두 이 방식의 발진회로를 내장하고 있습니다.



Inv: the internal inverter that works as an amplifier

Q: crystal quartz or a ceramic resonator

R_F : internal feedback resistor

R_{Ext} : external resistor to limit the inverter output current

C_{L1} and C_{L2} : are the two external load capacitors

C_s : stray capacitance is the addition of the MCU pin capacitance (OSC_IN and OSC_OUT) and the PCB capacitance: it is a parasitic capacitance.

Figure 2 Pierce-oscillator circuitry

2.1 Gain margin

Gain margin 은 crystal 이 정상적으로 발진을 시작할수 있는지 판단하는 중요한 값입니다.

Gain margin 은 아래 식으로 계산되며, 일반적으로 5 이상의 값을 가지면 안정적인 동작을 할수 있습니다.

- ✓ 만약 gain margin 이 5 이하이면, 더 작은 ESR 과 C_L 을 가지는 crystal 로 교체해야 합니다.

$$\text{gain}_{\text{margin}} = \frac{g_m}{g_{\text{mcrit}}}$$

- g_m : 발진회로에 적용된 inverter 의 transconductance 값이다. (MCU data sheet 에 명기됨)
- g_{mcrit} (g_m critical) : crystal 의 spec 에 따라 결정되는 값이다. 이 값은 C_{L1} , C_{L2} 가 같은 값으로 설계되고, C_L 이 제조사에서 제시하는 C_L 값과 같다고 가정하여 아래의 식으로 계산된다.

$$g_{\text{mcrit}} = 4 \times \text{ESR} (2\pi F)^2 \times (C_0 + C_L)^2$$

위 식을 바탕으로 아래의 예처럼 gain margin 을 계산할 수 있습니다.

조건 : $g_m = 25 \text{ mA/V}$, frequency = 8 MHz, $C_0 = 7 \text{ pF}$, $C_L = 10 \text{ pF}$, ESR = 80 Ω .

1. 다음과 같이 g_{mcrit} 을 계산합니다.

$$g_{\text{mcrit}} = 4 \times 80 \times (2 \times \pi \times 8 \times 10^6)^2 \times (7 \times 10^{-12} + 10 \times 10^{-12})^2 = 0.23 \text{ mA / V}$$

2. gain margin 을 계산합니다.

$$\text{gain}_{\text{margin}} = \frac{g_m}{g_{\text{mcrit}}} = \frac{25}{0.23} = 107$$

- ✓ 계산된 gain margin 이 5 보다 큰 107 임으로 crystal 은 정상적으로 발진할수 있습니다.

2.2 Load capacitor CL

Load capacitance(C_L)는 수정 발진기에 접속된 회로의 단자 커패시턴스입니다. 이 값은 외부 커패시터 C_{L1} 및 C_{L2} 및 인쇄 회로 기판과의 연결에서 발생하는 부유용량(C_s)에 의해 결정된다. C_L 값은 Crystal 제조사에 의해 규정됩니다. 정확한 주파수로 발진하기 위해서는 제조사에서 규정한 C_L 값과 동일한 load capacitance 를 발진회로에 구성하여야 합니다. 주파수 안정성은 주로 부하 용량이 일정 할 것이 요구됩니다. 즉, 외부 커패시터 C_{L1} 및 C_{L2} 는 크리스탈 제조자가 규정한 C_L 값에 도달하도록 조정하기 위해 사용됩니다.

다음의 식은 C_L 값과 회로상의 C_{L1} , C_{L2} , C_s 의 관계를 보여준다 :

$$C_L = \frac{C_{L1} \times C_{L2}}{C_{L1} + C_{L2}} + C_s$$

위 식을 바탕으로 아래의 예처럼 external capacitance C_{L1} , C_{L2} 를 계산할 수 있습니다.

조건 : $C_L = 15\text{pF}$ (crystal datasheet), $C_s = 5\text{pF}$ (가정)

$$C_L - C_s = \frac{C_{L1} \times C_{L2}}{C_{L1} + C_{L2}} = 10 \text{ pF}, \text{ That is: } C_{L1} = C_{L2} = 20 \text{ pF}.$$

- ✓ PCB 부유 용량(C_s)은 패턴을 가능한 짧게 하므로서 최소화 할수 있다. 이는 제작된 PCB마다 다르게 나타나며 측정에 의해 값을 알수 있습니다.
- ✓ C_s 값은 통상 2~5pF 사이인것으로 가정할 수 있습니다.

2.3 Calculating Drive Level (DL)

Drive level 은 발진시 Crystal 내에서 소비되는 전력을 말하며 crystal datasheet 에 크리스탈이 지탱할수 있는 최대 drive level 이 기재되어있습니다.

Crystal 이 datasheet 의 최대 drive level 을 초과하여 구동되면 과도한 에이징, 주파수 shift, crystal 파손 등을 야기할 수 있어 구동회로 설계시 최대 drive level 을 초과하지 않도록 해야 합니다.

2.3.1 DL 계산법 1

Drive level 은 다음 식으로 계산할수 있습니다.

$$DL = ESR \times I_Q^2$$

- ESR 은 crystal datasheet 에 표기되어 있음.
- I_Q 는 crystal 에 흐르는 RMS 전류값이다. Crystal 에 흐르는 전류를 측정하기 위해서는 Figure 2 와 같이 전류 probe 를 crystal 의 다리 또는 MCU 의 pin 으로 연결된 pattern 에 물려 측정한다.
전류값은 오실로스코프를 통해 peak-to-peak 값으로 보여질것이며, 이를 RMS 로 변환하여 사용한다.

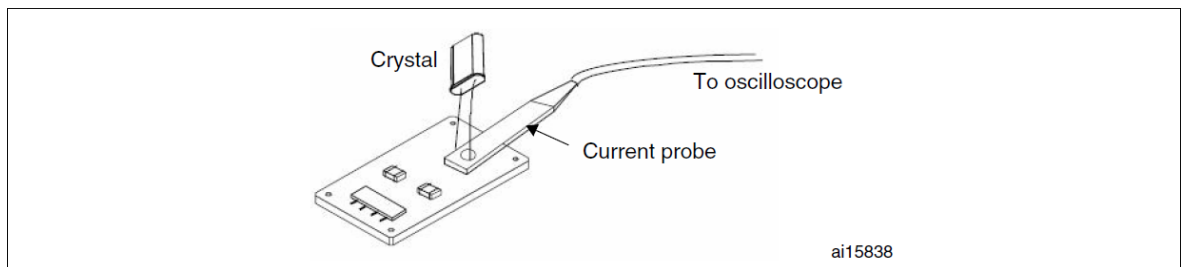


Figure 3. 전류 probe 를 이용한 전류측정

- ✓ 계산된 Drive level 이 최대 drive level 을 초과하게 되면, crystal 회로에 external resister 를 추가하여 소비되는 전력을 제한해야 합니다.

2.3.2 DL 계산법 2

전류 Probe 를 사용하여 I_{QRMS} 값을 측정하기 힘든 경우 C_{L1} 의 전압을 측정하여 DL 을 계산하는 방법이 있습니다. 이때 전압측정에 사용될 probe 의 capacitance 값은 1pF 이하여야 합니다. 이 계산방법은 C_{L1} 의 전압이 crystal 에 흐르는 전류값과 연관성을 가지고 있다는 점을 이용한 방법입니다. 그 관계식은 아래와 같습니다.

$$I_{QRMS} = 2\pi F \times V_{RMS} \times C_{tot}$$

- F = crystal frequency
- $V_{RMS} = \frac{V_{pp}}{2\sqrt{2}}$
- $C_{tot} = C_{L1} + (C_s/2) + C_{probe}$

위 공식으로 다시 DL 을 계산하면 아래 공식으로 표현할 수 있습니다.

$$DL = \frac{ESR \times (\pi \times F \times C_{tot})^2 \times V_{pp}^2}{2}$$

2.4 Calculating external resistor R_{Ext}

R_{Ext}는 계산된 DL 이 crystal 의 허용 DL 보다 큰 경우에만 추가합니다. DL 이 crystal 의 허용 DL 보다 작은경우는 0Ω 저항을 달거나 회로에서 삭제하면 됩니다.

R_{Ext} 값은 R_{Ext}/C_{L2} 에 의해 전압분배가 일어남으로, C_{L2}의 리액턴스값을 초기값으로 추정하여 Test 를 진행한 후 DL 값을 다시 계산하여 적절한 R_{Ext} 값을 확인하면 됩니다.

R_{Ext} 초기값을 계산하는 공식은 아래와 같습니다.

$$R_{Ext} = \frac{1}{2\pi FC_2}$$

위 식을 바탕으로 아래의 예처럼 R_{Ext} 계산할 수 있습니다.

조건 : F = 8 MHz, C_{L2} = 15 pF

$$R_{Ext} = 1 / (2\pi FC_{L2}) = 1 / (2 \times 3.14 \times 8 \times 10^6 \times 15 \times 10^{-12}) \approx 1326 \Omega$$

주의 1 : R_{Ext}는 꼭 OSC_OUT 단에 달아주어야 합니다.

주의 2 : R_{Ext}를 추가하고난 뒤 반드시 gain margin 을 다시 계산하여 발진에 문제가 없는지 확인해야 합니다.

다시 gain margin 을 계산할때는 g_{crit}을 계산하는 공식으로 아래 식을 사용합니다.

$$g_{crit} = 4 \times (ESR + R_{Ext}) \times (2\pi F)^2 \times (C_0 + C_L)^2$$

Note: R_{Ext}가 너무 낮으면 Crystal 에 전력소모(power dissipation)가 없고, R_{Ext}가 너무 높으면 발진이 없다 : 발진 상태가 되지않는다.

2016 – STMicroelectronics all right reserved

저작권자의 사전 서면 승인이 없을 경우 전체 또는 일부 내용을 복제 및 가공할 수 없습니다. 본 문서를 비롯해 문서에 담긴 정보 및 관리 원칙은 ST의 계약 조건 이행 성립을 위해 작성된 내용이 아니며, 사전 고지 없이 변경될 수 있습니다.